
УДК 004.383.4

Универсальный блок управления массивом запоминающих устройств наземного отладочного комплекса

Кордовер К. А.*, Жданов А. А., Данилов А. М.

Московский авиационный институт (национальный исследовательский университет),

МАИ, Волоколамское шоссе, 4, Москва, А-80, ГСП-3, 125993, Россия

**e-mail: k.a.kordover@mai.ru*

Аннотация

В статье приводится описание вычислительного устройства, которое используется для эмуляции работы микросхем памяти, расположенных на наземном отладочном комплексе (НОК), предназначенном для ускорения процесса отладки устройств на основе программируемых логических интегральных схем (ПЛИС). Рассматривается общий принцип работы, структурная схема разрабатываемого устройства, выполняемые функции и возможные подходы к их реализации.

Ключевые слова:

наземный отладочный комплекс, универсальный блок управления, эмулятор, ПЛИС, массив запоминающих устройств, маршевые тесты

Введение.

Разработка сложных вычислительных комплексов на базе ПЛИС и систем на кристалле – трудоёмкий процесс, состоящий из множества этапов. При этом одним из наиболее важных этапов является тестирование и отладка работы разрабатываемого устройства.

Для тестирования и отладки устройств на основе ПЛИС можно использовать различные средства, входящие в состав современных систем автоматизированного проектирования (САПР), без которых, в настоящее время, не обходится разработка ни одного сложного цифрового вычислительного устройства. Применение САПР позволяет проводить функциональное и временное моделирование разрабатываемых устройств программными методами с использованием персонального компьютера или рабочей станции, без использования реальных технических средств, однако, моделирование

сложных вычислительных комплексов может занимать от нескольких часов до нескольких дней, что существенно увеличивает время полной отладки системы. Наземный отладочный комплекс (НОК), разрабатываемый на кафедре 304 МАИ, используется для проведения моделирования и отладки разрабатываемых устройств с использованием специальных аппаратных средств. Моделирование разрабатываемого устройства с использованием НОК осуществляется на более низкой частоте, чем действительная частота функционирования устройства, однако, даже при таком подходе, процесс моделирования занимает гораздо меньше времени, чем моделирование с использованием программных средств. Применение НОК для проведения моделирования и отладки позволит убедиться в работоспособности устройства «в железе» и существенно сократить время его тестирования и отладки.

В состав устройств, моделируемых с помощью НОК, в качестве основных составляющих входят запоминающие устройства, имеющие различные интерфейсы и организацию. В то же время массив запоминающих устройств НОК образован микросхемами памяти, которые имеют фиксированную структуру и параметры и не могут быть переконфигурированы или заменены. Поэтому предлагается использовать средства, эмулирующие работу микросхем памяти, используемых моделируемым устройством. С этой целью разрабатывается рассматриваемый в статье универсальный блок управления (БУ) массивом запоминающих устройств (ЗУ) НОК.

Структура массива запоминающих устройств НОК.

Рассмотрим подробнее состав и структуру массива запоминающих устройств НОК (рисунок 1).

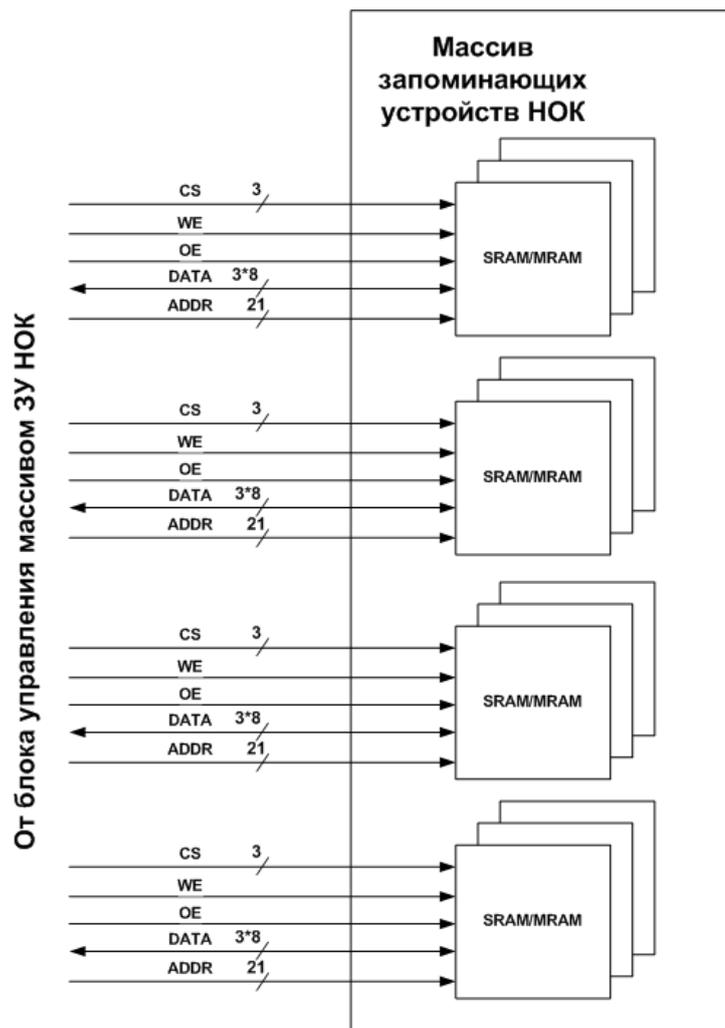


Рисунок 1 - Структура массива запоминающих устройств НОК

Массив памяти НОК образован четырьмя «банками», каждый из которых состоит из трёх микросхем памяти. Банк памяти имеет общие сигналы чтения (OE), записи (WE) и шину адреса (ADDR), а также отдельные шины данных (DATA) и сигналы выбора микросхем (CS). Микросхемы памяти, образующие каждый банк, могут быть двух типов:

- 1) Статическая оперативная память (static random-access memory, SRAM).
- 2) Магниторезистивная оперативная память (magnetoresistive random-access memory, MRAM).

Микросхемы типа SRAM обладают, как известно, высоким быстродействием, имеют простой интерфейс, однако не являются энергонезависимыми, что не позволяет моделировать работу вычислительных комплексов, требующих наличия постоянной памяти. Установка на наземном отладочном комплексе микросхем памяти типа MRAM позволяет решить эту проблему. Память типа MRAM – магниторезистивная энергонезависимая память,

обладающая большим быстродействием, чем, например, flash-память, и практически неограниченным числом циклов записи и чтения данных.

В состав одного банка памяти НОК входят микросхемы только одного из указанных типов. Использование в составе банка микросхем либо статической, либо магниторезистивной памяти возможно благодаря их одинаковому корпусному исполнению и расположению выводов, а также тому, что интерфейсы используемых микросхем практически совпадают, отличаясь лишь некоторыми временными соотношениями.

Общий принцип работы и структурная схема блока управления массивом памяти НОК.

Рассмотрим общий принцип использования блока управления массивом запоминающих устройств НОК. Блок управления массивом памяти НОК располагается, как видно из рисунка, между моделируемым устройством и массивом запоминающих устройств. Моделируемое устройство подключается к БУ и работает с ним, как со своей памятью. Если моделируемое устройство формирует управляющие сигналы для записи данных, БУ должен принять записываемые данные, преобразовать их к формату, удобному для записи в массив памяти НОК, и произвести запись. При чтении данных наоборот: БУ читает данные из массива НОК, преобразует их к формату данных моделируемого устройства и выдаёт моделируемому устройству. Так как функционирование блока управления осуществляется на существенно большей частоте, чем частота моделирования разрабатываемого устройства, что позволяет именно эмулировать работу микросхем памяти.

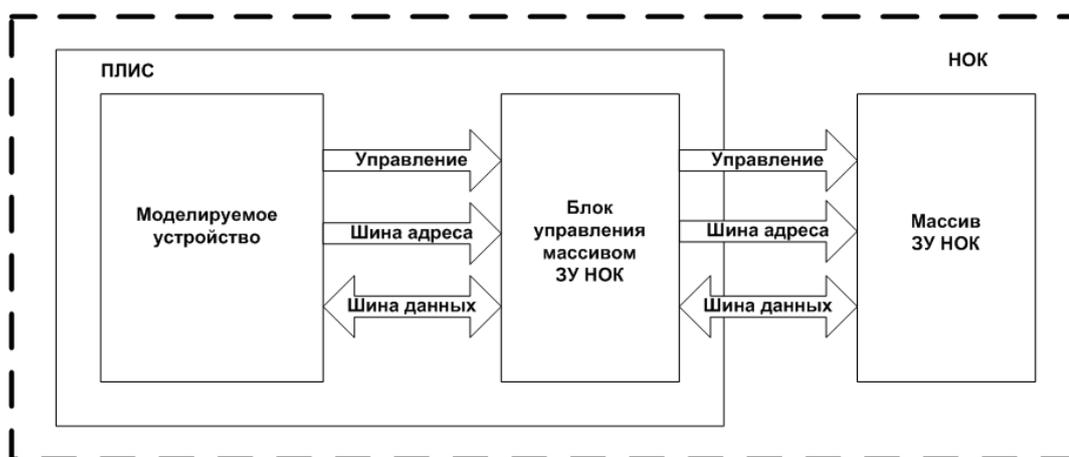


Рисунок 2 - Схема использования блока управления массивом памяти НОК

На рисунке показана структурная схема блока управления. Как видно, блок управления состоит из трёх модулей:

- 1) модуль взаимодействия с моделируемым устройством,

- 2) модуль взаимодействия с массивом ЗУ НОК,
- 3) модуль тестирования микросхем памяти ЗУ НОК.

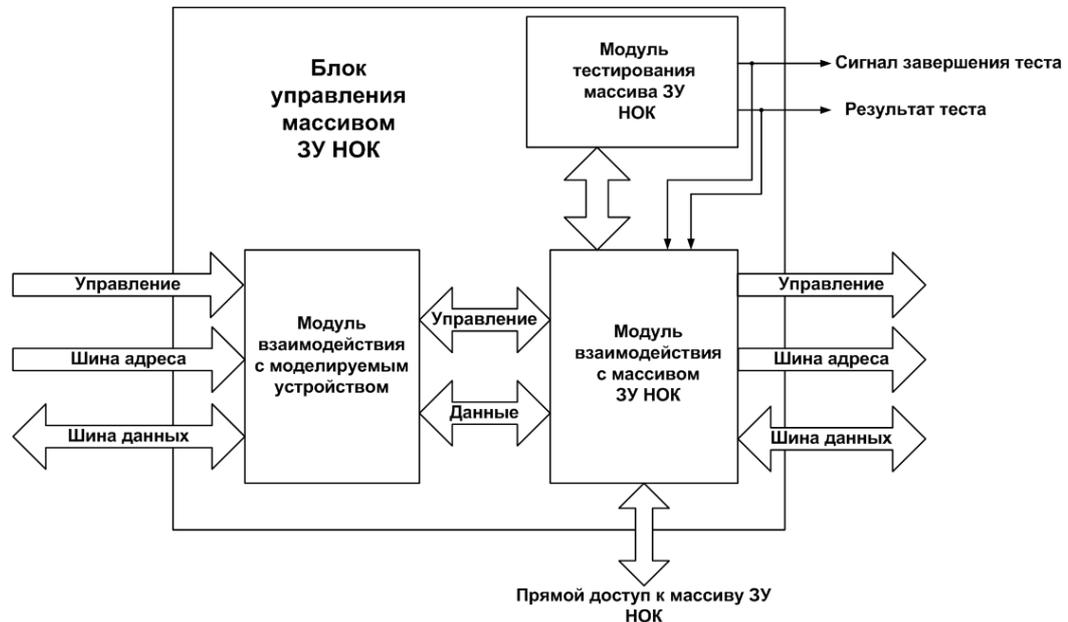


Рисунок 3 - Структурная схема блока управления массивом ЗУ НОК

Далее подробно рассмотрено назначение модулей, входящих в состав блока управления массивом ЗУ НОК, и выполняемые ими функции.

Модуль взаимодействия с моделируемым устройством.

Необходимость использования модуля взаимодействия с моделируемым устройством вытекает из следующих предположений:

- 1) Блок управления массивом запоминающих устройств НОК должен иметь возможность эмулировать работу как одной, так и нескольких микросхем, объединённых в некоторый массив.
- 2) Структура эмулируемого массива ЗУ и схема его подключения к моделируемому устройству могут изменяться.
- 3) Соответственно, может изменяться и состав линий интерфейса между моделируемым устройством и блоком управления ЗУ НОК.

Данный модуль должен обеспечивать интерфейс с моделируемым устройством и изменяться разработчиком всякий раз при необходимости эмулировать новый массив памяти. Состав линий взаимодействия определяется структурой эмулируемого массива запоминающих устройств и характеристиками (интерфейсами) входящих в него микросхем памяти, однако, в общем случае используются линии управления, адреса и данных. По

линиям управления от моделируемого устройства поступают сигналы, определяющие команду, которую необходимо выполнить («Чтение» или «Запись»).

При выполнении операции чтения данных модуль взаимодействия с моделируемым устройством выполняет следующие задачи:

- 1) Получает управляющие сигналы и адрес от моделируемого устройства.
- 2) Формирует запрос чтения данных из массива запоминающих устройств НОК по указанному адресу. Запрос транслируется модулю взаимодействия с массивом запоминающих устройств НОК.
- 3) Получает от модуля взаимодействия с массивом запоминающих устройств НОК считанные данные и выдаёт их моделируемому устройству.

При выполнении операции записи данных модуль взаимодействия с моделируемым устройством выполняет следующие задачи:

- 1) Получает от моделируемого устройства управляющие сигналы, адрес и данные для записи.
- 2) Передаёт данные модулю взаимодействия с массивом запоминающих устройств НОК для последующей записи.

Взаимодействие данного модуля и модуля взаимодействия с массивом ЗУ НОК осуществляется по некоторой стандартной шине, состав линий которой не изменяется. По этой шине передаются запросы на чтение или запись данных, адреса и данные.

При выполнении указанных операций модуль взаимодействия с моделируемым устройством обеспечивает реализацию характерных для микросхем эмулируемой памяти временных соотношений (время доступа и др.). Это возможно благодаря тому, что функционирование блокауправления осуществляется на больших частотах, чем частота моделируемого устройства и в состав массива запоминающих устройств НОК входят быстродействующие микросхемы памяти.

Модуль взаимодействия с массивом ЗУ НОК.

Модуль взаимодействия с массивом ЗУ НОК предназначен для формирования управляющих сигналов для массива запоминающих устройств НОК и управления потоком данных при выполнении операций чтения и записи данных. Структура данного модуля неизменна и не зависит от характеристик эмулируемой памяти. С помощью данного модуля возможен непосредственный доступ к массиву ЗУ НОК, что может быть полезным при необходимости начальной инициализации массива ЗУ НОК. Данные и управляющие сигналы поступают при этом с шины прямого доступа к массиву ЗУ НОК. Взаимодействие с

массивом запоминающих устройств НОК осуществляется по шинам управления, адреса и данных. Состав линий не изменяется, поскольку структура массива запоминающих устройств НОК фиксирована. При отсутствии необходимости прямого доступа к массиву ЗУ НОК (при эмуляции памяти) данные для записи этот модуль получает от модуля взаимодействия с моделируемым устройством. Считанные из массива запоминающих устройств НОК данные выдаются также в модуль взаимодействия с моделируемым устройством.

Чтение и запись данных осуществляется в соответствии с заданным режимом работы блока управления. Блок управления массивом ЗУ НОК должен работать в разных режимах, каждый из которых определяет максимально возможную ёмкость эмулируемой памяти и организацию хранения данных в массиве памяти НОК в зависимости от ширины выборки эмулируемой памяти (размера шины данных моделируемого устройства) и количества банков памяти НОК. Возможные режимы работы блока управления приведены в таблице .

Таблица 1 - режимы работы блока управления массивом ЗУ НОК

Режим	Размер шины данных моделируемого устройства, бит	Максимальная ёмкость, байт
1	8	24М
2	16	12М
3	32	6М
4	48	4М
5	64	3М
6	96	2М

Модуль тестирования массива ЗУ НОК.

Максимальная ёмкость эмулируемой памяти, как было отмечено, зависит не только от ширины выборки, но и от количества банков памяти НОК. В приведённой выше таблице указаны значения, соответствующие полному массиву памяти НОК (24 микросхемы), однако в процессе функционирования возможен отказ какой-либо из микросхем. Тогда изменится и максимальная ёмкость эмулируемой памяти. В связи с этим используется модуль тестирования массива ЗУ НОК, предназначенный для проверки наличия и целостности запоминающих устройств, установленных на НОК. Этот модуль реализует подход к тестированию, называемый MemoryBuild-InSelfTest, когда проверка исправности оборудования (в данном случае массива ЗУ НОК) выполняется тем устройством, на котором

установлено оборудование. Этот подход используется во многих современных вычислительных системах и позволяет [1]:

- Снизить сложность разрабатываемого устройства, а также его стоимость за счёт того, что не используется дорогостоящее внешнее тестовое оборудование.
- Увеличить скорость тестирования за счёт того, что тестирование проводится на тактовой частоте разрабатываемого устройства.

Для тестирования массива памяти НОК предлагается применять маршевые (марширующие) тесты, которые обладают достаточно высокой степенью обнаружения ошибок (покрытия неисправностей) и являются относительно быстрыми (поскольку время тестирования линейно зависит от объёма памяти [2]).

Суть маршевых тестов заключается в многократном повторении операций последовательной записи и чтения (с проверкой) тестовых данных, называемых также фоновыми словами [3]. Разрядность тестовых данных равна ширине выборки микросхемы памяти, а их количество определяется по формуле

$$N = \log_2 m + 1, \quad (1)$$

где m – разрядность тестовых данных [3].

Так, например, для тестирования микросхемы памяти с шириной выборки 8 бит потребуется использовать $\log_2 8 + 1 = 4$ тестовых слов. Обычно используются следующие тестовые данные [3]: $P_1 = 00000000$, $P_2 = 01010101$, $P_3 = 00110011$, $P_4 = 00001111$.

Для описания алгоритмов маршевых тестов часто применяют краткую символическую запись, используя следующие обозначения [2]:

- 1) \uparrow – адрес изменяется от 0 до $n-1$, где n – число ячеек памяти;
- 2) \downarrow – адрес изменяется от $n-1$ до 0, где n – число ячеек памяти;
- 3) \updownarrow – направление изменения адреса не имеет значения;
- 4) wD – запись в ячейку памяти слова данных D ;
- 5) $w\bar{D}$ – запись в ячейку памяти инверсии слова данных D ;
- 6) rD – чтение данных из ячейки памяти, предполагается, что в ячейке памяти находится слово данных D ;
- 7) $r\bar{D}$ – чтение данных из ячейки памяти, предполагается, что в ячейке памяти находится инверсия слова данных D .

Для тестирования микросхем памяти ЗУ НОК (разрядность ячейки 8 бит) предлагается использовать смешанный маршевый тест March-CW, алгоритм состоит в следующем [4]:

1) Для слова $P_1 = 00000000$ выполнить:

$$\{\uparrow (wP_1); \uparrow (rP_1, w\bar{P}_1); \uparrow (r\bar{P}_1, wP_1); \downarrow (rP_1, w\bar{P}_1); \downarrow (r\bar{P}_1, wP_1); \uparrow (rP_1)\}, \quad (2)$$

2) Для каждого из слов $P_2 = 01010101$, $P_3 = 00110011$ и $P_4 = 00001111$ выполнить:

$$\{\uparrow (wP_i, w\bar{P}_i, r\bar{P}_i, wP_i, rP_i)\}, i = 2..4. \quad (3)$$

Алгоритм March-CW позволяет обнаруживать ошибки следующих типов [4]:

- постоянная «1», постоянный «0»;
- константная неисправность типа обрыва (типа "постоянно отключенный затвор");
- переходная неисправность, возникающая при переключении запоминающего элемента;
- неисправности дешифратора адреса;
- неисправности, обусловленные паразитной связью между запоминающими элементами.

Время тестирования памяти состоящей из N слов разрядностью w бит с помощью алгоритма March-CW, как и с помощью других маршевых тестов, линейно зависит от количества ячеек памяти и оценивается по формуле

$$(10 + 5\log_2 w)N. \quad (4)$$

Модуль тестирования используется при включении электропитания НОК, формирует тестовые слова и анализирует результаты выполнения теста. Запись и чтение данных в процессе тестирования данный модуль осуществляет через модуль взаимодействия с массивом ЗУ НОК. По результатам тестирования может быть сделан вывод о неисправности каких-либо микросхем ЗУ НОК. Полученная информация может быть использована в дальнейшем для замены неисправных микросхем, а также для коррекции максимально возможной ёмкости эмулируемой памяти и способов организации хранения данных в массиве ЗУ НОК.

Заключение.

В данной статье рассмотрен универсальный блок управления массивом запоминающих устройств наземного отладочного комплекса, предназначенного для ускорения процесса тестирования и отладки вычислительных устройств на основе ПЛИС. Блок управления предназначен для эмуляции микросхем памяти, используемых моделируемыми с помощью НОК устройствами, и выполняет ряд функций, в числе которых:

- 1) Приём данных и управляющих сигналов от моделируемого средствами НОК устройства, чтение данных из массива запоминающих устройств НОК, преобразование данных в требуемую форму, запись данных в массив

запоминающих устройств НОК, выдачу данных на входы моделируемого устройства.

- 2) Возможность непосредственной работы с массивом ЗУ НОК.
- 3) Проверка наличия и целостности запоминающих устройств, установленных на НОК.
- 4) Выбор различных режимов организации хранения данных в массиве запоминающих устройств НОК.
- 5) Возможность работы с переменным числом микросхем памяти, входящих в состав массива запоминающих устройств НОК.
- 6) Возможность работы с микросхемами памяти типа MRAM и SRAM.

Рассмотрена структурная схема массива ЗУ НОК, дана краткая характеристика применяемых микросхем памяти. Рассмотрены основные причины использования блока управления, предложена возможная структурная схема и рассмотрены основные функции его составных частей.

Подробно рассмотрен смешанный маршевый алгоритм тестирования March-CW, который предлагается использовать для тестирования наличия и целостности микросхем памяти, входящих в состав НОК. Реализация блока управления возможна с помощью языков описания цифровой аппаратуры, таких как, например, SystemVerilog, Verilog или VHDL.

Библиографический список.

1. Charles E. Stroud *A Designer's Guide to Built-In Self-Test* Boston : Kluwer Academic Publishers, 2002, 344p.
2. Cheng-Wen Wu, «RAM Fault Models & Test Algorithms», Lab for Reliable Computing, Dept. Electrical Engineering, National TsingHua University, Hsinchu, Taiwan, url: <http://larc.ee.nthu.edu.tw/~cww/n/625/6253/m02MT0502.pdf>, 25.11.2012.
3. Cheng-Wen Wu, «Testing Word-Oriented & Multi-Port Memories», Lab for Reliable Computing, Dept. Electrical Engineering, National TsingHua University, Hsinchu, Taiwan, url: <http://larc.ee.nthu.edu.tw/~cww/n/625/6253/m04WM0703.pdf>, 25.11.2012.
4. Chi-Feng Wu, Chih-Tsun Huang, Cheng-Wen Wu, «RAMSES: a fast memory fault simulator» in *Proc. IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT)*, Albuquerque, Nov. 1999, pp. 165–173.